

JUNCTION FIELD-EFFECT TRANSISTOR

Publication Number: 63-132484 (JP 63132484 A) , June 04, 1988

Inventors:

- KAWAI HIROHARU

Applicants

- SONY CORP (A Japanese Company or Corporation), JP (Japan)

Application Number: 61-279213 (JP 86279213) , November 22, 1986

International Class (IPC Edition 4):

- H01L-029/80
- H01L-029/78

JAPIO Class:

- 42.2 (ELECTRONICS--- Solid State Components)

JAPIO Keywords:

- R095 (ELECTRONIC MATERIALS--- Semiconductor Mixed Crystals)
- R097 (ELECTRONIC MATERIALS--- Metal Oxide Semiconductors, MOS)

Abstract:

PURPOSE: To suppress the gate current in operation small in the case of a normally-off type J-FET by providing a barrier layer having a band gap larger than that of the channel region between the channel region and the gate region.

CONSTITUTION: On a semi-insulating GaAs substrate 21, an n-GaAs layer becoming a channel region 22, an N-lGaAs layer becoming a barrier layer 23, and a n(sup +)-GaAs layer 24 becoming high-density source region 25 and drain region 26 are sequentially formed by a MOCVD method. Then, a recessed part 28 is formed, and the source region 25 and the drain region 26 are formed. Next, a gate region 29 of p(sup +)-GaAs in the recessed part 28, a source electrode 30S, a drain electrode 30D and a gate electrode 30G are formed. Subsequently, an inter-element isolation region 31 is formed, constituting a J-FET 32. (From: *Patent Abstracts of Japan*, Section: E, Section No. 670, Vol. 12, No. 393, Pg. 6, October 19, 1988)

JAPIO

© 2004 Japan Patent Information Organization. All rights reserved.
Dialog® File Number 347 Accession Number 2515584

⑫ 公開特許公報(A)

昭63-132484

⑤ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)6月4日

H 01 L 29/80
29/78
29/80

3 0 1

C-8122-5F
B-8422-5F
H-8122-5F

審査請求 未請求 発明の数 1 (全7頁)

⑭ 発明の名称 接合型電界効果トランジスタ

⑯ 特 願 昭61-279213

⑰ 出 願 昭61(1986)11月22日

⑱ 発 明 者 河 合 弘 治 東京都品川区北品川6丁目7番35号 ソニー株式会社内

⑲ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号

⑳ 代 理 人 弁理士 伊藤 貞 外1名

明 細 書

発明の名称 接合型電界効果トランジスタ

特許請求の範囲

チャンネル領域とゲート領域との間に該チャンネル領域よりバンドギャップの大きいバリア層を設けたことを特徴とする接合型電界効果トランジスタ。

発明の詳細な説明

(産業上の利用分野)

本発明は、接合型電界効果トランジスタ(J-FET)に関する。

(発明の概要)

本発明は、接合型電界効果トランジスタにおいて、チャンネル領域とゲート領域間にチャンネル領域よりバンドギャップの大きいバリア層を設けることによって、特にノーマリ・オフ型の場合、動作時でのゲート電流を抑制し、ゲートの順方向バイアス電圧を大きくとれるようにしたものである。

(従来の技術)

GaAs J-FETの一般的な構造を第8図に示す。このGaAs J-FETの一般的な製法は、半絶縁性GaAs基板(1)の一面にSiをイオン注入し、活性化アニールを行ってn-GaAs層(2)を形成する。次に表面に絶縁膜(5)を形成し、窓開けしてZn拡散を行ってP⁺-GaAsのゲート領域(3)を形成し、このゲート領域(3)上にゲート電極(4)を形成する。次でn-GaAs層(2)のソース領域(25)及びドレイン領域(26)に対応する部分の絶縁層(5)を窓開けしてソース電極(6)及びドレイン電極(7)を形成し、さらに例えばボロンのイオン注入による素子間分離層(8)を形成する。

J-FETはP-N接合の空乏層の巾を印加電圧によって変化させてゲート直下のチャンネルの断面積をコントロールすることによってチャンネルの電流を制御するトランジスタである。J-FETは無印加時のゲート電位がP-N接合によるビルトイン電位で決まるのでショットキバリアを用いるMES-FETよりV_{th}の再現性が良い。又ビルトイン

電位はGaAsでは1.4ボルトと通常のGaAsショットキーバリアより約2倍大きいので論理振幅が大きくとれデジタルICの作製に適している。

〔発明が解決しようとする問題点〕

ところで、ノーマリ・オフ型（エンハンスメントモード）J-FETでは、順方向にゲート電圧が振り込まれるのでゲート電流が流れ、このためゲートの順方向バイアス電圧をおおきくすることができず論理振幅が大きくとれないという問題がある。

一方、第8図のJ-FETにおいては、拡散によってゲート領域(3)が形成されるため、ゲート領域(3)の側面でも有害なゲート容量（所謂サイド容量）が発生する。又、ゲート領域(3)を形成するための拡散深さの制御は一般に非常に高度なノウ・ハウが必要とされる。

さらに、J-FETに限らずGaAs FETでは表面空乏層の問題がある。GaAsはSiのような理想的な表面保護膜を作ることが難しく、常に表面側から

半導体側に絶縁層となる空乏層がのび、FETのチャンネルの直列抵抗を大きくし、高速及びノイズ性能を損っている。

チャンネル抵抗を小さくするため、MES-FETではゲートをリセス構造とすることがある。しかし均一性よくリセス加工することは難しい。従って、

J-FETにリセス構造のゲートを付加することは拡散工程の高度な技術の上に更に不安定な要素を持ち込むことになり均一性、再現性の確保は困難である。MES-FETにおいてチャンネル抵抗を小さくするための第2の方法は、セルフアライン技術を用いてゲート直近までn形不純物を高濃度にイオン注入し、又は選択エピタキシャル技術を用いてn形高濃度層を形成し、直列抵抗を極小にすることである。J-FETでも直列抵抗の低減化が図られるべきであるが、あまり進展していない。

本発明は、上述の点に鑑み、特にノーマリ・オフ型でのゲート電流の低減を可能にした接合型電界効果トランジスタを提供するものである。

併せてソース抵抗、ドレイン抵抗、ゲート抵抗

及び／又はゲート容量の低減化を可能にした接合型電界効果トランジスタを提供するものである。

〔問題点を解決するための手段〕

本発明は、接合型電界効果トランジスタにおいて、第1導電形のチャンネル領域と第2導電形のチャンネル領域との間にチャンネル領域よりバンドギャップの大きいバリア層を形成して構成する。

高濃度のソース領域及びドレイン領域は気相成長により形成するを可とする。ゲート領域は底面にバリア層が臨む凹部内において選択成長により形成する。この選択再成長において側面が絶縁層で形成された凹部内においてゲート領域を形成することもできる。

本発明の接合型電界効果トランジスタは、特にGaAs系等のⅢ-V族化合物半導体系の接合型電界効果トランジスタに適する。

〔作用〕

ゲート領域とチャンネル領域間にバンドギャッ

プの大きいバリア層が設けられることによってバリア層とゲート領域間でヘテロ構造が構成される。特にノーマリ・オフ型J-FETでは動作時に順方向にゲート電圧が振り込まれるが、このとき上記バリア層によってゲート電流は極めて小さく抑えられるので、ゲートに対する順方向バイアス電圧を大きくとることができる。

ソース領域、ドレイン領域及びゲート領域を気相成長にて形成するときは高濃度に形成できるので、ソース抵抗、ドレイン抵抗及びゲート抵抗を十分小さくすることができる。また、側面が絶縁層で形成された凹部内に選択成長によってゲート領域を形成するときは、ゲート容量のうちサイド容量が無視する程小さくなり、ゲート容量が低減する。

〔実施例〕

第1図は本発明の一実施例を示す。本例では、先ず第1図Aに示すように、半絶縁性GaAs基板(21)上に、チャンネル領域(22)となる不純物

濃度 $n = 5 \times 10^{17} \text{ cm}^{-3}$ 程度で厚さ 300Å 程度の $n\text{-GaAs}$ 層と、チャンネル領域 (22) よりバンドギャップが大きいバリア層 (23) となる不純物濃度 $N = 10^{18} \text{ cm}^{-3}$ 程度で厚さ 100Å 程度の $N\text{-Al}_{0.4}\text{Ga}_{0.6}\text{As}$ 層と、高濃度のソース領域 (25) 及びドレイン領域 (26) となる不純物濃度 $n = 5 \times 10^{18} \text{ cm}^{-3}$ 程度で厚さ 2000Å 程度の $n^+\text{-GaAs}$ 層 (24) とを順次 MOCVD (有機金属気相成長) 法にて形成する。次で例えば SiN などの厚さ 2000Å 程度の絶縁層 (27) を積層した後、絶縁層 (27) を選択的に窓開けし、さらにこの窓を通じて RIE (反応性イオンエッチング) により $n^+\text{-GaAs}$ 層 (24) を選択的にエッチング除去して凹部 (28) を形成する。この凹部 (28) によって $n^+\text{-GaAs}$ によるソース領域 (25) 及びドレイン領域 (26) が形成される。また、この RIE による選択エッチングにおいては $N\text{-AlGaAs}$ のバリア層 (23) がストッパーとして働き、 $n^+\text{-GaAs}$ 層 (24) だけがエッチングされる。

次に第 1 図 B に示すように、絶縁層 (27) をマ

よってチャンネル領域 (22) 及びゲート領域 (29) 間を流れるゲート電流が非常に少なくなる。従ってゲートに対する順方向バイアス電圧を大きくすることができ、論理振幅が大きくとれる。

本構造では、セルフアライン的に気相成長による高濃度のソース領域 (25) 及びドレイン領域 (26) が形成されるので、ソース抵抗及びドレイン抵抗が非常に小さい。

$P^+\text{-GaAs}$ のゲート領域 (29) は気相成長により不純物を 5×10^{18} 以上にドーピングできるのでゲート抵抗は従来と同じに小さくできる。

ゲート領域 (29) のペリフェリに生じるサイド容量はとり切れていない。しかし、 $n^+\text{-GaAs}$ 層 (24) は気相成長で形成されるので高濃度層となり、実際には厚みとして 1000Å 程度あれば低抵抗にでき、ソース抵抗としては十分小さくできる。従って $n^+\text{-GaAs}$ 層 (24) が薄く形成できる分だけゲート容量を小さくできる。

第 2 図は本発明の他の実施例である。本例は、第 1 図の $n^+\text{-GaAs}$ 層 (24) に対する選択エッチ

ングとして MOCVD の選択再成長によって凹部 (28) 内に不純物濃度 $p = 5 \times 10^{18} \text{ cm}^{-3}$ 程度の $P^+\text{-GaAs}$ のゲート領域 (29) を形成する。次で、ソース電極 (30S)、ドレイン電極 (30D)、ゲート電極 (30G) を形成し、又、ボロン或は H^+ などのイオン注入による素子間分離領域 (31) を形成して J-FET (32) を構成する。

斯る構成による J-FET (32) の特徴は次の通りである。

$n\text{-GaAs}$ のチャンネル領域 (22) と $P^+\text{-GaAs}$ のゲート領域 (29) 間に $N\text{-AlGaAs}$ のバリア層 (23) が形成されていることにより、ゲート領域 (29) 及びバリア層 (23) 間では $N\text{-AlGaAs}/P^+\text{-GaAs}$ ヘテロ構造が存在することになる。チャンネル領域 (22) の深さを 300Å 程度としたノーマリ・オフ型 (エンハンスメントモード) J-FET では、動作時、順方向にゲート電圧が振り込まれる。しかし、このとき第 7 図のエネルギーバンド図に示すようにチャンネル-ゲート間に $N\text{-AlGaAs}$ のポテンシャルバリア (33) が形成されることに

よってチャンネル領域 (22) 及びゲート領域 (29) 間を流れるゲート電流が非常に少なくなる。従ってゲートに対する順方向バイアス電圧を大きくすることができ、論理振幅が大きくとれる。

第 3 図は本発明の更に他の実施例である。本例は、第 1 図において、凹部 (28) 内壁面に通常の技術を用いて例えば SiN の側壁 (35) を形成した後、 $P^+\text{-GaAs}$ のゲート領域 (29) を選択再成長する。以後第 1 図と同様の工程を経て J-FET (36) を構成する。この構成では第 1 図の特徴に加えて絶縁膜による側壁 (25) によってゲート容量のう

ちサイド容量が小さくなると同時に、ゲート長も小さくなる。

第4図は本発明の更に他の実施例である。本例は半絶縁性GaAs基板(21)上に厚さ1000Å程度の半絶縁性又はP⁻のAl_{0.4}Ga_{0.6}As層(37)、チャンネル領域(22)となる不純物濃度 $n = 5 \times 10^{17} \text{ cm}^{-3}$ 程度で厚さ300Å程度のn-GaAs層、バリア層(23)となる不純物濃度 $N = 3 \times 10^{18} \text{ cm}^{-3}$ 程度で厚さ50Å程度のN-Al_{0.4}Ga_{0.6}As層及びソース、ドレイン領域となる不純物濃度 $n = 5 \times 10^{18} \text{ cm}^{-3}$ 程度で厚さ2000Å程度のn⁺-GaAs層(24)を順次MOCVD法によって形成し、以後の工程を第3図と同じにしてJ-FET(38)を構成する。図中、第3図と対応する部分は同一符号を付して示す。

ゲート長が短くなると、ゲートクローズのときにチャンネル領域直下の基板(21)を電流が流れ、ゲートのしまりが悪くなるという所謂ショートチャンネル効果が生ずる。しかし、第4図の構成のJ-FET(38)では半絶縁性GaAs基板(21)とチャンネル領域(22)間にi-AlGaAs層(37)が

設けられるので、このi-AlGaAsの伝導帯のポテンシャルバリアによってキャリアは半絶縁性GaAs基板(21)に入り込まないので、ショートチャンネル効果が生ぜず、第4図のJ-FET(38)より更に性能が向上する。

第5図は本発明の更に他の実施例である。本例は、半絶縁性GaAs基板(21)上にチャンネル領域(22)となるn-GaAs層及びバリア層(23)となるN-Al_{0.4}Ga_{0.6}As層を順次MOCVD法で形成する(第5図A)。次に、バリア層(23)上のゲート領域に対応する部分に例えばSiN膜によるマスク層(40)を形成した後、MOCVD法による選択成長によってn⁺-GaAsのソース領域(25)及びドレイン領域(26)を形成する(第5図B)。次にマスク層(40)を除去し、ソース及びドレイン両領域(25)及び(26)上に絶縁層例えばSiN層(41)を形成した後、MOCVD法による選択再成長でP⁺-GaAsのゲート領域(29)を形成する。しかる後、ゲート電極(30G)、ソース電極(30S)及びドレイン電極(30D)を形成してJ-FET(42)

を構成する。この構成においても、第1図と同様の特徴を有する。

第6図は本発明の更に他の実施例である。本例は、先ず第6図Aに示すように半絶縁性GaAs基板(21)の一主面にバリア層(23)となるn-AlGaAs層を形成した後、基板(21)の表面全面にわたってSiをイオン注入して不純物濃度 $n = 10^{18} \text{ cm}^{-3}$ 程度で厚さ300Å程度のチャンネル領域となるn-GaAs層(44)を形成し、次でゲート領域に対応する部分上に絶縁層例えばSiO₂膜(45)を形成し、このSiO₂膜(45)をマスクにして更にSiをイオン注入し、不純物濃度 $n = 3 \times 10^{18} \text{ cm}^{-3}$ 程度で厚さ4000Å程度のソース領域(46)及びドレイン領域(47)を形成する。イオン注入後は高温処理による活性化を行う。SiO₂膜(45)下のn-GaAs層(44)がチャンネル領域となる。

次に、第6図Bに示すようにSiO₂膜を含む全面に厚さ2000Å程度のSiN層(48)を形成し、さらにホトレジスト層(49)を被着して表面を平坦化する。

次に、第6図Cに示すようにRIEによる無選択エッチングにより、SiO₂層(45)の上面を露ましめ、次で湿式選択エッチングにより、SiO₂層(45)を除去し、SiN層(48)のゲートに対応する部分にバリア層(23)が陥凹凹部(50)を形成する。次に凹部(50)内にMOCVD法により、不純物濃度 $P = 5 \times 10^{18} \text{ cm}^{-3}$ 程度のP⁺-GaAsを選択成長してゲート領域(51)を形成する。次でボロン又はH⁺のイオン注入による素子間分離層(52)を形成し、またソース電極(30S)、ドレイン電極(30D)及びゲート電極(30G)を形成して第6図Dに示すJ-FET(53)を構成する。

尚、第6図Aの工程に代えて例えば半絶縁性GaAs層(21)上にMOCVDによりチャンネル領域(44)となるn-GaAs層及びバリア層(23)となるN-AlGaAs層を順次形成した後、N-AlGaAs層上のチャンネルに対応する部分上にSiO₂層(45)を被着し、これをマスクにSiのイオン注入によりn⁺-GaAsのソース領域(46)及びドレイン領域(47)を形成するようにしてもよい。以後の工

程は第6図B以下と同じにして行う。

この構成においてはN-AlGaAsのバリア層(23)がゲート領域(51)及びチャンネル領域(44)間に形成されていることによって、ノーマリ・オフ型J-FETに構成した場合、第1図と同様にゲート電流を極めて少なくすることができる。加えて、ゲート領域(51)の側面はSiN層(48)が形成されているので、ゲート容量はサイド容量がなく、真性容量のみとなり、低減される。従って高速性に優れるものである。

尚、上例ではチャンネル領域の厚さを薄くしたノーマリ・オフ型J-FETについて説明したが、チャンネル領域を厚く形成すればノーマリ・オフ型J-FETを構成することができる。

(発明の効果)

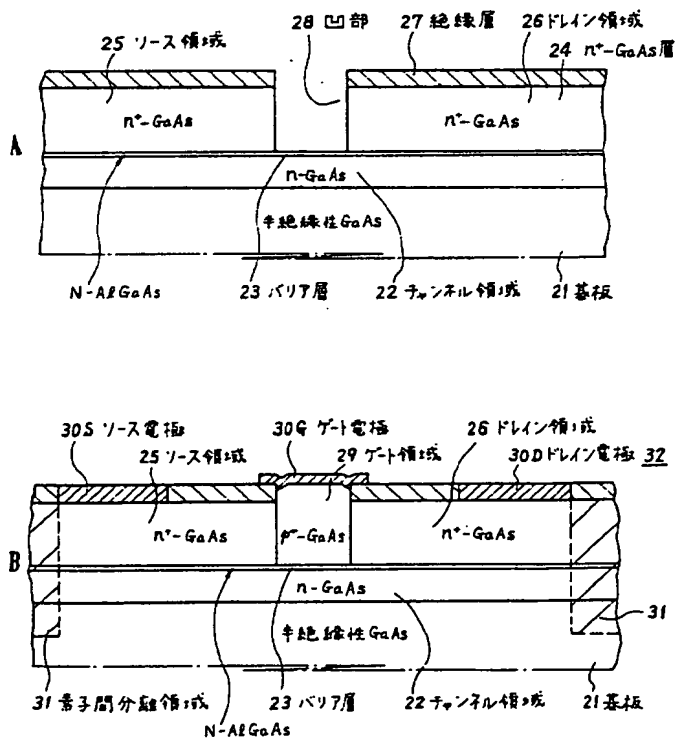
本発明によれば、チャンネル領域とゲート領域間にチャンネル領域よりバンドギャップの大きいバリア層を設けることによって、ノーマリ・オフ型J-FETの場合、動作時のゲート電流を小さく抑

えることができる。従って、ゲートに対する順方向のバイアス電圧を大きくすることができ、論理振幅を大きくとることができる。

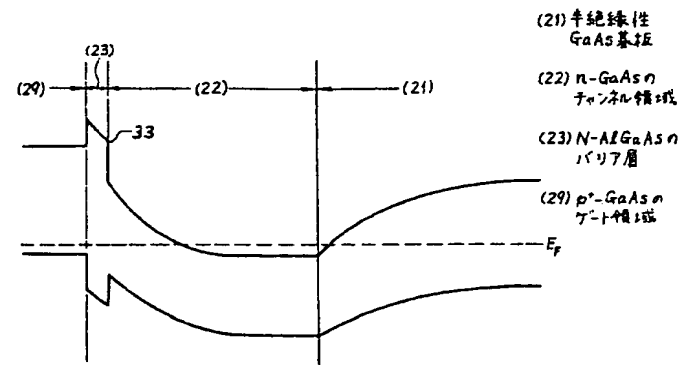
図面の簡単な説明

第1図A及びBは本発明による接合型電界効果トランジスタの一実施例を示す工程順の断面図、第2図、第3図及び第4図は夫々本発明による接合型電界効果トランジスタの他の実施例を示す断面図、第5図A～Cは本発明による接合型電界効果トランジスタの更に他の実施例を示す工程順の断面図、第6図A～Dは本発明による接合型電界効果トランジスタの更に他の実施例を示す工程順の断面図、第7図は本発明の説明に供するエネルギーバンド図、第8図は従来の接合型電界効果トランジスタの一例を示す断面図である。

(21)は半絶縁性GaAs基板、(22)はチャンネル領域、(23)はバリア層、(25)はソース領域、(26)はドレイン領域、(29)はゲート領域である。

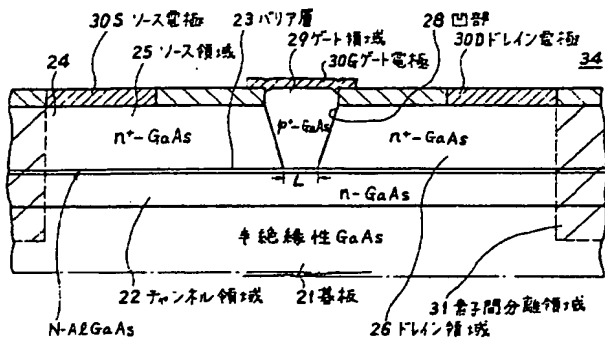


本実施例を示す工程順の断面図
第1図

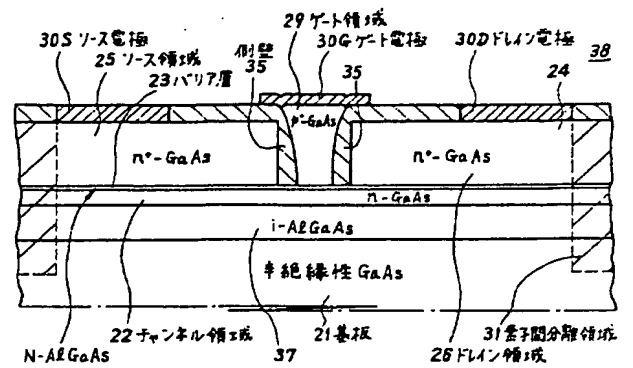


本実施例のエネルギーバンド図

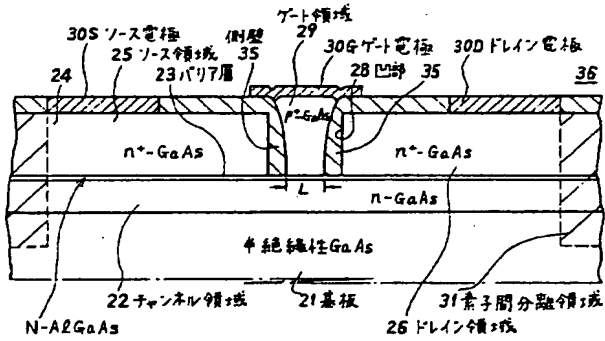
第7図



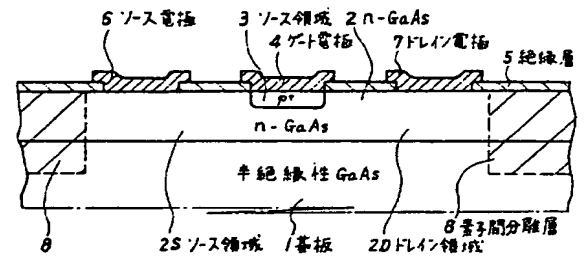
他の実施例の断面図
第2図



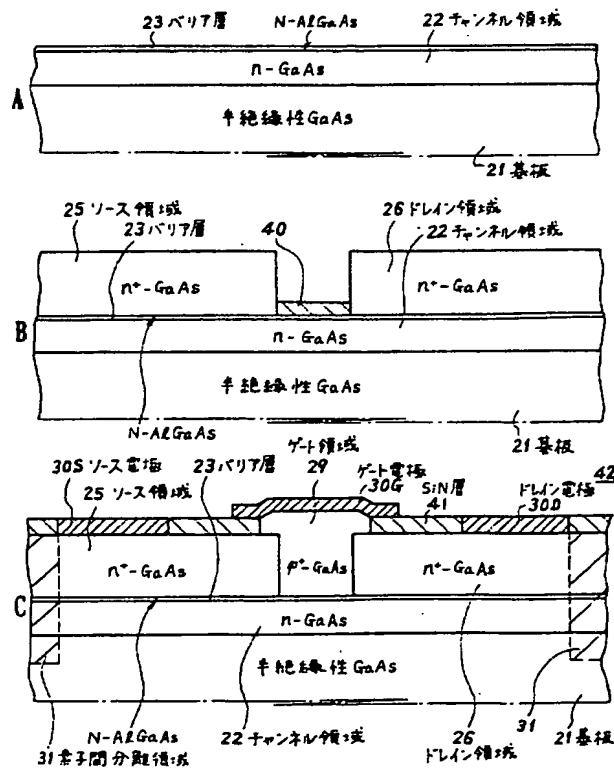
他の実施例の断面図
第4図



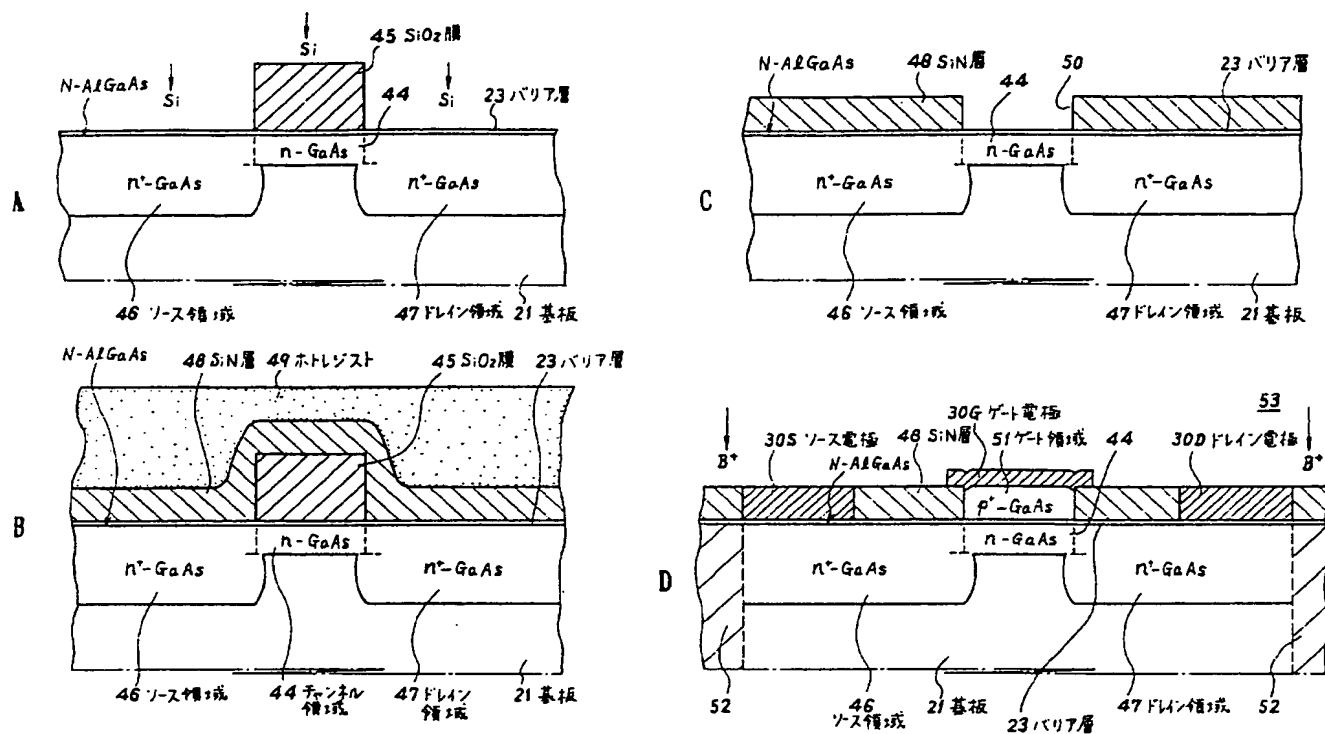
他の実施例の断面図
第3図



従来例の断面図
第8図



他の実施例を示す工程例の断面図
第5図



他の実施例を示す工程例の断面図

第 6 図